

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-058511

(43)Date of publication of application : 25.02.2000

(51)Int.Cl. H01L 21/3065

(21)Application number : 10-218777 (71)Applicant : MATSUSHITA ELECTRON CORP

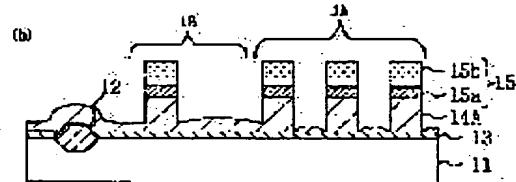
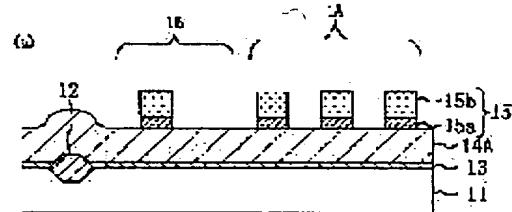
(22)Date of filing : 03.08.1998 (72)Inventor : SHIBATA ATSUSHI
YAMANAKA MICHNARI
HISAKURE SHIYUNSUKE

(54) DRY ETCHING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a gate insulating film from being broken and, at the same time, to well maintain the uniform anisotropic shape of the insulating film without relying upon the roughness and denseness of a pattern.

SOLUTION: In a dry etching method, a mask pattern 15 is formed on a semiconductor layer 14A and first etching treatment is performed for removing about 70% of the areas of the semiconductor layer 14A under the openings of the mask pattern 15 by using a first etching gas containing chlorine and bromine. Then second etching treatment is performed for removing the areas of the semiconductor layer 14A under the openings of the mask pattern 15 by using second etching gas containing more bromine than chlorine.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-58511

(P2000-58511A)

(43)公開日 平成12年2月25日 (2000.2.25)

(51)Int.Cl.⁷

識別記号

H 0 1 L 21/3065

F I

テーマコード(参考)

H 0 1 L 21/302

J 5 F 0 0 4

F

審査請求 未請求 請求項の数11 O.L (全13頁)

(21)出願番号 特願平10-218777

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(22)出願日 平成10年8月3日(1998.8.3)

(72)発明者 芝田 淳

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(72)発明者 山中 通成

大阪府高槻市幸町1番1号 松下電子工業
株式会社内

(74)代理人 100077931

弁理士 前田 弘 (外2名)

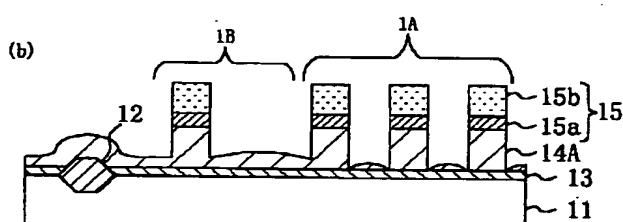
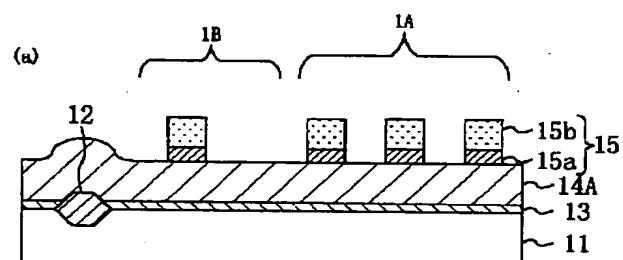
最終頁に続く

(54)【発明の名称】 ドライエッチング方法

(57)【要約】

【課題】 ゲート絶縁膜破れを防止すると共に、パターンの疎密差に依存することなく、均一で且つ異方性形状を良好に維持できるようにする。

【解決手段】 半導体層14Aの上にマスクパターン15を形成し、塩素と臭素とを含む第1のエッチングガスを用いて半導体層14Aにおけるマスクパターン15の開口部の下側の領域の70%程度を除去する第1のエッチング処理を行なう。その後、塩素と比べて臭素の割合が大きい第2のエッチングガスを用いて半導体層14Aにおけるマスクパターン15の開口部の下方の領域を除去する第2のエッチング処理を行なう。



【特許請求の範囲】

【請求項1】 基板の上に絶縁膜を形成する絶縁膜形成工程と、前記絶縁膜の上にシリコンを含む半導体層を堆積する半導体層堆積工程と、前記半導体層の上に、開口部の幅が0.5μm以下の開口パターンを含むマスクパターンを形成するマスクパターン形成工程と、前記マスクパターンをマスクとし、塩素及び臭素を含む第1のエッティングガスを用いて前記半導体層に対してエッティングを行なうことにより、前記半導体層における前記マスクパターンの開口部の下側の領域の深さ方向の一部分を除去する第1のエッティング工程と、前記マスクパターンをマスクとし、前記第1のエッティングガスと比べて臭素の塩素に対する割合が大きい第2のエッティングガスを用いて前記半導体層に対してエッティングを行なうことにより、前記半導体層における前記マスクパターンの開口部の下側の領域であって前記第1のエッティング工程において残存した部分を除去する第2のエッティング工程とを備えていることを特徴とするドライエッティング方法。

【請求項2】 前記マスクパターンは絶縁膜からなることを特徴とする請求項1に記載のドライエッティング方法。

【請求項3】 前記第1のエッティングガスは酸素を含むことを特徴とする請求項1に記載のドライエッティング方法。

【請求項4】 基板の上に絶縁膜を形成する絶縁膜形成工程と、前記絶縁膜の上に、p型不純物がドープされてなるp型領域とn型不純物がドープされてなるn型領域とを有するシリコンを含む半導体層を形成する半導体層形成工程と、前記半導体層の前記p型領域及びn型領域の上に、開口部の幅が0.5μm以下の開口パターンを含むマスクパターンを形成するマスクパターン形成工程と、前記マスクパターンをマスクとし、塩素及び臭素を含む第1のエッティングガスを用いて前記半導体層に対してエッティングを行なうことにより、前記半導体層の前記p型領域及びn型領域における前記マスクパターンの開口部の下側の深さ方向の一部分をそれぞれ除去する第1のエッティング工程と、

前記マスクパターンをマスクとし、前記第1のエッティングガスと比べて臭素の塩素に対する割合が大きい第2のエッティングガスを用いて、前記半導体層の前記p型領域及びn型領域における前記マスクパターンの開口部の下側の領域であって前記第1のエッティング工程において残存した部分を除去する第2のエッティング工程とを備えていることを特徴とするドライエッティング方法。

【請求項5】 前記マスクパターンは絶縁膜からなるこ

とを特徴とする請求項4に記載のドライエッティング方法。

【請求項6】 前記第1のエッティングガスは酸素を含むことを特徴とする請求項4に記載のドライエッティング方法。

【請求項7】 前記第1のエッティング工程は、前記n型領域上の前記絶縁膜が露出する直前までエッティングを行ない、前記第2のエッティング工程は、前記n型領域上の前記絶縁膜の一部が露出するまでエッティングを行なうことを特徴とする請求項4に記載のドライエッティング方法。

【請求項8】 前記第1のエッティング工程のエッティング速度は前記第2のエッティング工程のエッティング速度よりも大きいことを特徴と請求項1又は4に記載のドライエッティング方法。

【請求項9】 前記第1のエッティングガス及び第2のエッティングガスは、Cl₂、HCl、SiCl₄又はBCl₃を含むことを特徴とする請求項1又は4に記載のドライエッティング方法。

【請求項10】 前記第1のエッティングガス及び第2のエッティングガスは、Br₂、HBr、SiBr₄又はBBr₃を含むことを特徴とする請求項1又は4に記載のドライエッティング方法。

【請求項11】 基板の上に絶縁膜を形成する絶縁膜形成工程と、

前記絶縁膜の上にシリコンを含む半導体層を堆積する半導体層堆積工程と、前記半導体層の上に、開口部の幅が0.5μm以下の開口パターンを含むマスクパターンを形成するマスクパターン形成工程と、前記マスクパターンを用いて、前記半導体層に対して逆マイクロローディング効果を得られるようにエッティングを行なうことにより、前記半導体層における前記マスクパターンの開口部の下側の領域の深さ方向の一部分を除去する第1のエッティング工程と、前記マスクパターンを用いて、前記半導体層に対してマイクロローディング効果を得られるようにエッティングを行なうことにより、前記半導体層における前記マスクパターンの開口部の下側の領域であって前記第1のエッティング工程において残存した部分を除去する第2のエッティング工程とを備えていることを特徴とするドライエッティング方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、シリコン系半導体からなる半導体素子の製造工程におけるドライエッティング方法に関する。

【0002】

【従来の技術】 近年、半導体素子の高集積化及び高速化に伴なってデザインルールの微細化がますます進展して

いる。これにより、ドライエッティングを用いる加工分野において、形状の高異方性、高選択性及び高エッティング速度等が求められることとなる。一般に、単結晶シリコン、多結晶シリコン及びポリサイド等のシリコン系半導体層のエッティングには、ハロゲン系のガスである塩素、臭化水素等に酸素を添加したガスを用いて行なわれているが、例えば、ゲート電極を加工する際には下地のゲート酸化膜が現われるまでエッティングを行ない、残余分をオーバーエッティングするという方法が一般的である。

【0003】

【発明が解決しようとする課題】しかしながら、前記従来のドライエッティング方法は、以下に示すような問題がある。図11はGbit級DRAM装置におけるゲート電極形成工程の断面構成を示している。図11に示すように、シリコンからなる半導体基板101の上面にはゲート酸化膜102が形成され、多結晶シリコンからなる複数のゲート電極103がドライエッティングにより形成されている。各ゲート電極103の上面にはマスクパターン104が形成されている。ゲート酸化膜102の膜厚は4nm以下に薄膜化されているため、従来のC12とO₂とを含むC₁₂/O₂系のガスを用いた多結晶シリコンに対するエッティングは多結晶シリコンのゲート酸化膜102に対する選択比が小さいので、ゲート酸化膜102に酸化膜破れ105が生じてしまう。すなわち、このエッティング工程においては、良好な異方性形状を得るために真空度を高くすることによってイオン種の平均自由行程をプラズマのシース長よりも十分に長くしたり、イオン種のエネルギーを高めたりすることが考えられるが、このようにすると、多結晶シリコンのゲート酸化膜102との選択比がさらに小さくなるため、ゲート酸化膜102が破れてしまう。

【0004】一方、多結晶シリコンのゲート酸化膜102に対する選択比を増大させるには、エッティングガスに酸素や臭化水素(HBr)を添加するという方法が提案されている。この場合には、図12に示すように、エッティング後のゲート電極103の寸法bが所定のマスク寸法aよりも大きくなり、異方性形状が得られないという問題がある。

【0005】このように、基板面に垂直方向のエッティング形状と選択比とはトレードオフの関係にある。

【0006】また、素子の高速化のために、それぞれがn型とp型とにドープされたゲート電極が共存するデュアルゲート構造を有する場合に、n型多結晶シリコンとp型多結晶シリコンとを同時にエッティングを行なうと、ドーパントの違いによりエッティング速度に差が生じる。すなわち、n型多結晶シリコンの方がp型多結晶シリコンよりもエッティング速度が大きいため、n型の領域が先にエッティングされてしまい、p型の領域をすべてエッティングしたときにはn型の領域でゲート酸化膜破れが生じてしまう。さらに、エッティング速度の差に起因するエッ

チング後の寸法シフトに違いが生じることにもなる。

【0007】また、リソグラフィーにおける露光波長が短波長化されることにより、焦点深度が浅くなるため、レジストマスクを薄膜化しないと高解像度が得られなくなってしまい、シリコン系半導体層にエッティングを行なう際にレジストマスクの耐性に問題が生じる。

【0008】本発明は、前記従来の問題を解決し、ゲート絶縁膜破れを防止すると共に、パターンの疎密差に依存することなく、均一で且つ異方性形状を良好に維持できるようにすることを目的とする。

【0009】

【課題を解決するための手段】前記の目的を達成するため、本発明は、基板上に形成された絶縁膜とシリコン系の半導体層とのうち、該半導体層に0.5μm以下のスペースパターンを含む素子パターンをエッティングにより形成する際に、高異方性を有する第1のエッティング工程と、絶縁膜に対する高選択比を有する第2のエッティング工程を設ける構成とする。

【0010】具体的に、本発明に係る第1のドライエッティングは、基板の上に絶縁膜を形成する絶縁膜形成工程と、絶縁膜の上にシリコンを含む半導体層を堆積する半導体層堆積工程と、半導体層の上に、開口部の幅が0.5μm以下の開口パターンを含むマスクパターンを形成するマスクパターン形成工程と、マスクパターンをマスクとし、塩素及び臭素を含む第1のエッティングガスを用いて半導体層に対してエッティングを行なうことにより、半導体層におけるマスクパターンの開口部の下側の領域の深さ方向の一部分を除去する第1のエッティング工程と、マスクパターンをマスクとし、第1のエッティングガスと比べて臭素の塩素に対する割合が大きい第2のエッティングガスを用いて半導体層に対してエッティングを行なうことにより、半導体層におけるマスクパターンの開口部の下側の領域であって第1のエッティング工程において残存した部分を除去する第2のエッティング工程とを備えている。

【0011】第1のドライエッティング方法によると、第1のエッティング工程は、SiCl_x又はSiBr_xからなるシリコン系反応生成物をパターン化する半導体層の側面に堆積させながら、基板面と垂直な形状を保つつつエッティングを行なう。第1のエッティングガスには塩素と臭素とを含むため、異方性を良好に維持できる。また、第1のエッティング工程で残存した部分に対してエッティングを行なう第2のエッティング工程において、第2のエッティングガスは第1のエッティングガスと比べて臭素の塩素に対する割合を大きくしているため、半導体層の絶縁膜に対する選択比が向上する。

【0012】本発明に係る第2のドライエッティング方法は、基板の上に絶縁膜を形成する絶縁膜形成工程と、絶縁膜の上に、p型不純物がドープされてなるp型領域とn型不純物がドープされてなるn型領域とを有するシリ

コンを含む半導体層を形成する半導体層形成工程と、半導体層のp型領域及びn型領域の上に、開口部の幅が0.5μm以下の開口パターンを含むマスクパターンを形成するマスクパターン形成工程と、マスクパターンをマスクとし、塩素及び臭素を含む第1のエッティングガスを用いて半導体層に対してエッティングを行なうことにより、半導体層のp型領域及びn型領域におけるマスクパターンの開口部の下側の深さ方向の一部分をそれぞれ除去する第1のエッティング工程と、マスクパターンをマスクとし、第1のエッティングガスと比べて臭素の塩素に対する割合が大きい第2のエッティングガスを用いて、半導体層のp型領域及びn型領域におけるマスクパターンの開口部の下側の領域であって第1のエッティング工程において残存した部分を除去する第2のエッティング工程とを備えている。

【0013】第2のドライエッティング方法によると、第1のエッティング工程は、第1のエッティングガスに塩素と臭素とを含むため、異方性を良好に維持できる。また、第1のエッティング工程で残存した部分を除去する第2のエッティング工程において、第2のエッティングガスは第1のエッティングガスと比べて臭素の塩素に対する割合を大きくしているため、半導体層の絶縁膜に対する選択比が向上する。

【0014】第1又は第2のドライエッティング方法において、マスクパターンが絶縁膜からなることが好ましい。

【0015】第1又は第2のドライエッティング方法において、第1のエッティングガスが酸素を含むことが好ましい。

【0016】第2のドライエッティング方法において、第1のエッティング工程をn型領域上の絶縁膜が露出する直前までエッティングを行ない、第2のエッティング工程をn型領域上の絶縁膜の一部が露出するまでエッティングを行なうことが好ましい。このようにすると、シリコンを含む半導体層のn型領域はp型領域よりもエッティング速度が大きいが、第1のエッティング工程においてn型領域上の絶縁膜が露出する直前までエッティングを行なうため、n型領域及びp型領域は共に絶縁膜が露出することがない。また、半導体層の絶縁膜との選択比が大きい第2のエッティング工程において、n型領域上の絶縁膜の一部が露出するまでエッティングを行なうため、n型領域で絶縁膜が露出していても絶縁膜破れが生じない。

【0017】第1又は第2のドライエッティング方法において、第1のエッティング工程のエッティング速度が第2のエッティング工程のエッティング速度よりも大きいことが好ましい。このようにすると、エッティングされる半導体層の側面に反応生成物が堆積しにくいため、エッティングの高異方性を維持できる。

【0018】第1又は第2のドライエッティング方法において、第1のエッティングガス及び第2のエッティングガス

が、Cl₂、HCl、SiCl₄又はBCl₃を含むことが好ましい。

【0019】第1又は第2のドライエッティング方法において、第1のエッティングガス及び第2のエッティングガスが、Br₂、HBr、SiBr₄又はBBr₃を含むことが好ましい。

【0020】本発明に係る第3のドライエッティング方法は、基板の上に絶縁膜を形成する絶縁膜形成工程と、絶縁膜の上にシリコンを含む半導体層を堆積する半導体層堆積工程と、半導体層の上に、開口部の幅が0.5μm以下の開口パターンを含むマスクパターンを形成するマスクパターン形成工程と、マスクパターンを用いて、半導体層に対して逆マイクロローディング効果を得られるようにエッティングを行なうことにより、半導体層におけるマスクパターンの開口部の下側の領域の深さ方向の一部分を除去する第1のエッティング工程と、マスクパターンを用いて、半導体層に対してマイクロローディング効果を得られるようにエッティングを行なうことにより、半導体層におけるマスクパターンの開口部の下側の領域であって第1のエッティング工程において残存した部分を除去する第2のエッティング工程とを備えている。

【0021】第3のドライエッティング方法によると、第1のエッティング工程において、逆マイクロローディング効果を得られるようにエッティングを行なうため、開口パターンが密な領域ではエッティング速度が大きく、疎な領域では小さくなる。一方、第1のエッティング工程で残存した部分に対してエッティングを行なう第2のエッティング工程において、マイクロローディング効果を得られるようにエッティングを行なうため、開口パターンが密な領域ではエッティング速度が小さく、疎な領域では大きくなる。

【0022】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態に係るドライエッティング方法について図面を参照しながら説明する。

【0023】図1及び図2は本発明の第1の実施形態に係るドライエッティング方法を用いた半導体装置の製造方法の工程順の断面構成を示している。

【0024】まず、図1(a)に示すように、シリコンからなる基板11の上面に、LOCOSからなる素子分離領域12と、厚さが約4nmの絶縁膜としてのゲート酸化膜13とを形成する。その後、基板11の上面に全面にわたって厚さが約250nmの多結晶シリコンからなる半導体層14Aを堆積し、続いて、半導体層14Aに対してn型不純物のリン(P)をドーピングして半導体層14Aをn型とする。その後、半導体層14A上の所定位置に、厚さが併せて約0.65μmの反射防止膜

(ARC: Anti Reflective Coat i ng) 15aとレジスト膜15bとを塗布する。続いて、フォトリソグラフィーを用いて、密な領域1Aと疎

な領域1Bとを有する反射防止膜25a及びレジスト膜25bからなるマスクパターン15を形成する。ここで、密な領域1Aにおけるマスクパターン15の開口幅を約0.25μmとし、疎な領域1Bにおける開口幅を約1μmとする。

【0025】次に、図1(b)の第1のエッチング工程に示すように、基板11を誘導結合プラズマ(I C P : Inductively Coupled Plasma)エッチング装置に投入し、まず、Cl₂ガスを用いて半導体層14Aの露出面の自然酸化膜を除去する、いわゆるブレークスルーエッチを行なう。その後、マスクパターン15を用いて半導体層14Aにおけるマスクパターン15の開口部の下側の領域の70%程度を除去する第1のエッチング処理を行なう。エッチング条件は以下に示す通りである。

【0026】[第1のエッチング条件]

Cl ₂ 流量	30 sccm
HB _r 流量	30 sccm
ガス圧	5 mTorr
ICPパワー	200 W
RFバイアスパワー	200 W
基板温度	50 °C

【0027】次に、図2(a)の第2のエッチング工程に示すように、第1のエッチング処理とエッチング条件を切り替え、半導体層14Aの第1のエッチング工程で残存した部分に対して、半導体層14Aのゲート酸化膜13に対する選択性が高い第2のエッチング処理を行なうことにより、半導体層14Aからなるゲート電極14Bをそれぞれ形成する。エッチング条件は以下に示す通りである。

【0028】[第2のエッチング条件]

Cl ₂ 流量	20 sccm
HB _r 流量	180 sccm
He+O ₂ 流量	3 sccm
(He : O ₂ = 7 : 3)	
ガス圧	10 mTorr
ICPパワー	200 W
RFバイアスパワー	50 W
基板温度	50 °C

なお、酸素(O₂)はその流量を制御しやすいようにヘリウム(He)で希釈して用いている。

【0029】第2のエッチング工程は、第1のエッチング工程と比べて、エッチングガス中の臭素(B_r)の割合を大きくすると共に、エッチングガスに微量の酸素(O₂)を添加しているため、半導体層14Aのゲート酸化膜13に対するエッチング選択性が大きくなる。その結果、酸化膜破れを防止することができる。

【0030】ここで、図2(a)に示すように、素子分離領域12の段差部の近傍には、半導体層14Aが除去されずに残る残余部14aが形成される。このように、

第2のエッチング工程においては、ドライエッチングの終点検出を行なっているが、ゲート酸化膜13の一部が露出するまでの時間をあらかじめ計測しておき、計測した時間分のエッチングを行なう方法を用いてもよい。

【0031】次に、図2(b)に示すように、第3のエッチング工程としてオーバエッチングを行なうことにより、残余部14aを除去する。オーバエッチングのエッチング条件は以下に示す通りである。

【0032】[第3のエッチング条件]

HB _r 流量	100 sccm
He+O ₂ 流量	3 sccm
(He : O ₂ = 7 : 3)	
ガス圧	60 mTorr
ICPパワー	200 W
RFバイアスパワー	200 W
基板温度	50 °C

【0033】第3のエッチング工程においては、エッチングガス中のハロゲンに臭素(B_r)のみを用いているため、ゲート酸化膜13に対し極めて選択性が高いエッチングを行なえる。

【0034】以上説明したように、本実施形態によると、図2(b)に示すように、均一で且つ高異方性形状を有するゲート電極14Bを形成できる。

【0035】なお、本実施形態においては、第1のエッチング工程の終点を半導体層14Aの膜厚の70%程度付近としたが、半導体層14Aの膜厚に対して50%~90%のエッチングを行なった場合でも同様の効果を得られる。

【0036】また、半導体層14Aに対してホウ素(B)をドープすることによって半導体層14Aをp型としても同様の効果がある。

【0037】(第2の実施形態)以下、本発明の第2の実施形態に係るドライエッチング方法について図面を参照しながら説明する。

【0038】図3及び図4は本発明の第2の実施形態に係るドライエッチング方法を用いた半導体装置の製造方法の工程順の断面構成を示している。

【0039】まず、図3(a)に示すように、シリコンからなる基板21の上面に、LOCOSからなる素子分離領域22と、厚さが約4nmのゲート酸化膜23とを形成する。その後、基板21の上に全面にわたって厚さが約250nmの多結晶シリコンからなる半導体層24Aを堆積し、続いて、半導体層24Aに対してn型不純物のリン(P)をドーピングして半導体層24Aをn型とする。その後、半導体層24A上の所定位置に、厚さが併せて約0.65μmの反射防止膜25aとレジスト膜25bとを塗布する。続いて、フォトリソグラフィーを用いて、密な領域1Aと疎な領域1Bとを有する反射防止膜25a及びレジスト膜25bからなるマスクパターン25を形成する。ここで、密な領域1Aにおけるマ

スクパターン25の開口幅を約0.25μmとし、疎な領域1Bにおける開口幅を約1μmとする。

【0040】次に、図3(b)の第1のエッティング工程に示すように、基板21をICPエッティング装置に投入し、Cl₂ガスを用いて半導体層24Aの露出面の自然酸化膜を除去し、その後、マスクパターン25を用いて半導体層24Aにおけるマスクパターン25の開口部の下側の領域の70%程度を除去する第1のエッティング処理を行なう。エッティング条件は以下に示す通りである。

【0041】[第1のエッティング条件]

Cl ₂ 流量	30	scm
HBr 流量	30	scm
He+O ₂ 流量	7	scm
(He:O ₂ = 7:3)		
ガス圧	5	mTorr
ICPパワー	200	W
RFバイアスパワー	200	W
基板温度	50	℃

【0042】図3(b)に示すように、パターンが密な領域1Aにおいてはエッティング速度が大きく、疎な領域1Bにおいてはエッティング速度が小さくなる逆マイクロローディング効果が現われている。これは、半導体層24Aに対してCl₂及びHBrから解離又は生成されるイオンやラジカルを用いてエッティングを行なう際に、エッティングガスにO₂を添加しているため、SiO_xからなる反応生成物が発生する。この反応生成物の生成量がパターンが密な領域1Aでは少なくなるので、密な領域1Aにおけるエッティング速度が相対的に増大することにより生じる。

【0043】次に、図4(a)の第2のエッティング工程に示すように、第1のエッティング処理とエッティング条件を切り替え、半導体層24Aの第1のエッティング工程で残存した部分に対して、半導体層24Aのゲート酸化膜23に対する選択性が高い第2のエッティング処理を行うことにより、半導体層24Aからなるゲート電極24Bをそれぞれ形成する。エッティング条件は以下に示す通りである。

【0044】[第2のエッティング条件]

Cl ₂ 流量	20	scm
HBr 流量	180	scm
He+O ₂ 流量	3	scm
(He:O ₂ = 7:3)		
ガス圧	10	mTorr
ICPパワー	200	W
RFバイアスパワー	50	W
基板温度	50	℃

【0045】第2のエッティング工程は、第1のエッティング工程と比べて、エッティングガス中の臭素(Br)の割合を大きくしているため、半導体層24Aのゲート酸化膜23に対するエッティング選択性が大きくなる。第2の

エッティング条件では、イオン種やラジカル種の入射がパターンが密な領域1Aにおいて少なくなるため、密な領域1Aのエッティング速度が相対的に減少するマイクロローディング効果が現われる。従って、半導体層24Aのゲート酸化膜23に対するエッティング選択性が大きくなるため、酸化膜破れを確実に防止することができる。このように、第2のエッティング工程においては、ドライエッティングの終点検出を行なっているが、ゲート酸化膜23の一部が露出するまでの時間をあらかじめ計測しておき、計測した時間分のエッティングを行なう方法を用いてもよい。

【0046】ここでも、図4(a)に示すように、素子分離領域22の段差部近傍に、半導体層24Aが除去されずに残る残余部24aが形成される。

【0047】次に、図4(b)に示すように、第3のエッティング工程として残余部24aを除去するオーバエッティングを行なう。オーバエッティングのエッティング条件は以下に示す通りである。

【0048】[第3のエッティング条件]

HBr 流量	100	scm
He+O ₂ 流量	3	scm
(He:O ₂ = 7:3)		
ガス圧	60	mTorr
ICPパワー	200	W
RFバイアスパワー	200	W
基板温度	50	℃

【0049】第3のエッティング工程は、エッティングガス中のハロゲンにBrのみを用いているため、ゲート酸化膜23に対し極めて選択性が高いエッティングを行なえる。

【0050】以下、第1のエッティング工程に現われる逆マイクロローディング効果と、第2のエッティング工程に現われるマイクロローディング効果を詳細に説明する。

【0051】まず、Cl₂とHBrとを含むハロゲン系ガスにO₂を添加した第1のエッティング工程において、パターンが密な領域1Aでエッティング速度が大きく、疎な領域1Bでエッティング速度が小さくなる逆マイクロローディング効果という現象が生じる。この現象は、パターン間隔が小さい領域では少量の酸素が供給されるだけで反応が促進され、一方、パターン間隔が大きい領域では供給される酸素の量が相対的に多くなるため、半導体層24Aの側面の酸化や反応生成物の堆積等によりエッティングが抑制されることによって発生する。なお、この現象は第3のエッティング条件においては、エッティングガスに添加される酸素の濃度が約5%のときに最も大きくなる。通常、酸化膜破れは主にパターンが密な領域1Aで生じるため、この逆マイクロローディング効果が酸化膜破れの大きな要因となる。

【0052】次に、Brを主成分とし酸素を添加したエッティングガスを用いる第2のエッティング工程において、

パターンが疎な領域1Bでエッティング速度が大きく、密な領域1Aでエッティング速度が小さいマイクロローディング効果という現象が生じる。この現象はマスクによるシャドウイング効果のためにパターンの疎密差によるラジカルの入射量に差が生じることによって発生する。

【0053】以上説明したように、本実施形態によると、図4(b)に示すように、この第1のエッティング工程及び第2のエッティング工程を連続して行なって、逆マイクロローディング効果とマイクロローディング効果との2つの効果を相殺することにより、パターンの疎密差に依存しない均一で且つ高異方性形状を有するゲート電極24Bを形成することができる。

【0054】さらに、前述したようにパターンが密な領域1Aで酸化膜破れが生じやすいが、このパターンが密な領域1Aでエッティング速度が大きくなる逆マイクロローディング効果を利用する工程を先に行ない、密な領域1Aでエッティング速度が小さくなるマイクロローディング効果を利用する工程を後に行なうため、酸化膜破れを確実に防止できる。

【0055】なお、本実施形態においては、第1のエッティング工程の終点を半導体層24Aの膜厚の70%程度付近としたが、半導体層24Aの膜厚に対して50%~90%のエッティングを行なった場合でも同様の効果を得られる。

【0056】また、半導体層24Aに対してホウ素(B)をドープすることによって半導体層24Aをp型としても同様の効果がある。

【0057】(第2の実施形態の一変形例)以下、本発明の第2の実施形態の一変形例に係るドライエッティング方法について図面を参照しながら説明する。

【0058】図5及び図6は本発明の第2の実施形態の一変形例に係るドライエッティング方法を用いた半導体装置の製造方法の工程順の断面構成を示している。図5及び図6において、図3及び図4に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0059】本変形例は、図3及び図4に示した反射防止膜25a及びレジスト膜25bからなる厚さが0.65μmのマスクパターン25の代わりに、厚さが約100nmの酸化シリコンからなるマスクパターン26を用いている。このマスクパターン26を用いて、第2の実施形態と同様のエッティング条件で、第1のエッティング工程、第2のエッティング工程及び第3のエッティング工程を連続して行なう。

【0060】このようにすると、マスクパターンの膜厚を小さくできるため、露光の際の解像度が向上すると共に、レジスト膜25bの反応生成物が生成されないため寸法シフトが生じにくくなる。また、レジストに比べてエッティングに対する耐性が大幅に向かうため、露光の精度が向上し、歩留まりが高くなる。

【0061】なお、マスクパターン26にシリコン酸化膜を用いたが、シリコン窒化膜を用いてもよい。

【0062】(第3の実施形態)以下、本発明の第3の実施形態に係るドライエッティング方法について図面を参照しながら説明する。

【0063】図7及び図8は本発明の第3の実施形態に係るドライエッティング方法を用いた半導体装置の製造方法の工程順の断面構成を示している。

【0064】まず、図7(a)に示すように、シリコンからなる基板31の上面に、LOCOSからなる素子分離領域32と、厚さが約4nmのゲート酸化膜33とを形成する。その後、基板31の上に全面にわたって厚さが約250nmの多結晶シリコンからなる半導体層34Aを堆積し、続いて、半導体層34Aに対して選択的にp型不純物のホウ素(B)をドーピングすることによりp型領域2を形成し、また、半導体層34Aに対して選択的にn型不純物のリン(P)をドーピングすることによりn型領域3を形成する。その後、半導体層34A上の所定位置に、厚さが併せて約0.65μmの反射防止膜35aとレジスト膜35bとを塗布する。続いて、フォトリソグラフィーを用いて、p型領域2及びn型領域3のそれぞれに、密な領域1Aと疎な領域1Bとを有する反射防止膜35a及びレジスト膜35bからなるマスクパターン35を形成する。ここで、密な領域1Aにおけるマスクパターン35の各開口幅を約0.25μmとし、疎な領域1Bにおける各開口幅を約1μmとする。

【0065】次に、図7(b)の第1のエッティング工程に示すように、基板31をICPエッティング装置に投入し、Cl₂ガスを用いて半導体層34Aの露出面の自然酸化膜を除去し、その後、マスクパターン35を用いて半導体層34Aにおけるマスクパターン35の開口部の下側の領域の一部分を除去する第1のエッティング処理を行なう。エッティング条件は以下に示す通りである。

【0066】[第1のエッティング条件]

Cl ₂ 流量	30	sccm
HB _r 流量	30	sccm
He+O ₂ 流量	7	sccm
(He:O ₂ = 7:3)		
ガス圧	5	mTorr
ICPパワー	200	W
RFバイアスパワー	200	W
基板温度	50	°C

【0067】図7(b)に示すように、p型領域2とn型領域3とでは、それぞれ含まれる不純物の相違によりエッティング速度に差が生じるため、エッティングの終点はエッティング速度が大きい半導体層34Aにおけるn型領域3の膜厚の70%程度とする。ここでも、第2の実施形態と同様に、パターンが密な領域1Aにおいて相対的にエッティング速度が大きくなる逆マイクロローディング効果が現われる。

【0068】次に、図8 (a) の第2のエッティング工程に示すように、第1のエッティング処理とエッティング条件を切り替え、半導体層34Aの第1のエッティング工程で残存した部分に対して、半導体層34Aとのゲート酸化膜33に対する選択性が高い第2のエッティング処理を行なうことにより、半導体層34Aからなるゲート電極34Bをそれぞれ形成する。エッティング条件は以下に示す通りである。

【0069】 [第2のエッティング条件]

C ₁₂ 流量	20 sccm
HBr 流量	180 sccm
He+O ₂ 流量	3 sccm
(He : O ₂ = 7 : 3)	
ガス圧	10 mTorr
ICPパワー	200 W
RFバイアスパワー	50 W
基板温度	50 °C

【0070】図8 (a) に示すように、エッティングの終点は、n型領域3におけるゲート酸化膜33の一部が露出する時点とする。ここでも、第2の実施形態と同様に、パターンが密な領域1Aにおいて相対的にエッティング速度が小さくなるマイクロローディング効果が現われる。

【0071】次に、図8 (b) の第3のエッティング工程に示すように、p型領域2や素子分離領域32の段差部近傍に半導体層34Aが除去されずに残る残余部34aをオーバエッティングを行なう。オーバエッティングのエッティング条件は以下に示す通りである。

【0072】 [第3のエッティング条件]

HBr 流量	100 sccm
He+O ₂ 流量	3 sccm
(He : O ₂ = 7 : 3)	
ガス圧	60 mTorr
ICPパワー	200 W
RFバイアスパワー	200 W
基板温度	50 °C

【0073】第3のエッティング工程は、エッティングガス中のハロゲンにBrのみを用いているため、ゲート酸化膜33に対し極めて選択性が高いエッティングが進行する。

【0074】このように、本実施形態によると、一の半導体基板31上に形成されたp型領域2とn型領域3においてエッティングにほとんど差がなく、さらに、パターンが密な領域1Aと疎な領域1Bとのそれぞれエッティング速度の不均一さも相殺できるため、均一で且つ高異方性形状を有するゲート電極34Bを形成することができる。

【0075】なお、本実施形態においては、第1のエッティング工程の終点を半導体層34Aにおけるn型領域3の膜厚の70%程度付近としたが、n型領域3の膜厚に

対して50%~90%のエッティングを行なった場合でも同様の効果を得られる。

【0076】(第3の実施形態の一変形例)以下、本発明の第3の実施形態の一変形例に係るドライエッティング方法について図面を参照しながら説明する。

【0077】図9及び図10は本発明の第3の実施形態の一変形例に係るドライエッティング方法を用いた半導体装置の製造方法の工程順の断面構成を示している。図9及び図10において、図7及び図8に示す構成部材と同一の構成部材には同一の符号を付すことにより説明を省略する。

【0078】本変形例は、図7及び図8に示した反射防止膜35a及びレジスト膜35bからなる厚さが0.65μmのマスクパターン35の代わりに、厚さが約100nmの酸化シリコンからなるマスクパターン36を用いている。このマスクパターン36を用いて、第3の実施形態と同様のエッティング条件で、第1のエッティング工程、第2のエッティング工程及び第3のエッティング工程を連続して行なう。

【0079】このようにすると、マスクパターンの膜厚を小さくできるため、露光の際の解像度が向上すると共に、レジスト膜35bの反応生成物が生成されないため寸法シフトが生じにくくなる。また、レジストに比べてエッティングに対する耐性が大幅に向上するため、露光精度が向上し、歩留まりが高くなる。

【0080】なお、マスクパターン36にシリコン酸化膜を用いたが、シリコン窒化膜を用いてもよい。

【0081】また、各実施形態において、多結晶シリコンを用いてゲート電極を形成したが、これに限らず、シリコン系の半導体層に対して疎密なパターンが混在したペターニングを行なう際に有効となる。

【0082】また、各実施形態及び変形例において、半導体層に多結晶シリコンを用いたが、単結晶シリコン、高融点金属シリサイド又はポリサイド等であってもよい。

【0083】

【発明の効果】本発明の第1又は第2のドライエッティング方法によると、第1のエッティング工程において、エッティングガスに塩素と臭素とを含むため高異方性を維持でき、第1のエッティング工程で残存した部分に対してエッティングを行なう第2のエッティング工程において臭素の塩素に対する割合を大きくすることにより半導体層の絶縁膜に対する選択性を大きくできる。このため、絶縁膜破れを防止できるので、信頼性が高い半導体素子を製造できる。

【0084】第1又は第2のドライエッティング方法において、マスクパターンが絶縁膜からなると、レジストからなるマスクパターンと比べて膜厚を小さくできるため、露光の際の解像度が向上すると共に、レジストの反応生成物が生成されないため寸法シフトが生じにくくな

る。また、レジストに比べてエッチングに対する耐性が大幅に向かうため、マスクの信頼性が向上するので、歩留まりが高くなる。

【0085】第1又は第2のドライエッチング方法において、第1のエッチングガスが酸素を含むと、エッチングガスに対して相対的に多い量の酸素を含む場合には、密なパターン領域よりも疎なパターン領域でエッチング速度が小さくなる逆マイクロローディング効果が現われる。また、エッチングガスに対して相対的に少ない量の酸素を含む場合には、疎なパターン領域よりも密なパターン領域でエッチング速度が小さくなるマイクロローディング効果が現われる。これにより、第1のエッチング工程で逆マイクロローディング効果を利用し、且つ、第2のエッチング工程でマイクロローディング効果を利用すれば、粗密パターンにおけるエッチング速度差が相殺され、均一な加工が可能となる。

【0086】第1又は第2のドライエッチング方法において、第1のエッチング工程のエッチング速度が第2のエッチング工程のエッチング速度よりも大きいと、エッチングされる半導体層の側面に反応生成物が堆積しにくいため、エッチングの高異方性を維持できる。

【0087】第1又は第2のドライエッチング方法において、第1のエッチングガス及び第2のエッチングガスが、 Cl_2 、 HCl 、 SiCl_4 又は BCl_3 を含むと、エッチングガスに塩素を確実に含ませることができる。

【0088】第1又は第2のドライエッチング方法において、第1のエッチングガス及び第2のエッチングガスが、 Br_2 、 HBr 、 SiBr_4 又は BBr_3 を含むと、エッチングガスに臭素を確実に含ませることができる。

【0089】第2のドライエッチング方法において、第1のエッチング工程をn型領域上の絶縁膜が露出する直前まで行ない、第2のエッチング工程をn型領域上の絶縁膜の一部が露出するまで行なうと、シリコンを含む半導体層のn型領域はp型領域よりもエッチング速度が大きくなるが、第1のエッチング工程においてn型領域上の絶縁膜が露出する直前までエッチングを行なうため、n型領域及びp型領域は共に絶縁膜が露出しない。また、半導体層の絶縁膜との選択比が大きい第2のエッチング工程において、n型領域上の絶縁膜の一部が露出するまでエッチングを行なうため、絶縁膜破れが生じない。従って、一の半導体基板上にp型領域及びn型領域が混在する場合であっても、絶縁膜破れを確実に防止しながら半導体層を均一に加工できる。

【0090】本発明の第3のドライエッチング方法によると、第1のエッチング工程において逆マイクロローディング効果を得られるようにエッチングを行ない、第1のエッチング工程で残存した部分に対してエッチングを行なう第2のエッチング工程においてマイクロローディ

ング効果を得られるようにエッチングを行なうため、粗密パターンにおけるエッチング速度差が相殺され、均一な加工が可能となる。また、一般に、密なパターン領域において絶縁膜破れが発生しやすいが、第2のエッチング工程において、密なパターン領域においてエッチング速度が小さくなるマイクロローディング効果を利用するため、密なパターン領域における絶縁膜破れを確実に防止できる。

【図面の簡単な説明】

【図1】(a)及び(b)は本発明の第1の実施形態に係るドライエッチング方法を用いた半導体装置の製造方法を示す工程順の構成断面図である。

【図2】(a)及び(b)は本発明の第1の実施形態に係るドライエッチング方法を用いた半導体装置の製造方法を示す工程順の構成断面図である。

【図3】(a)及び(b)は本発明の第2の実施形態に係るドライエッチング方法を用いた半導体装置の製造方法を示す工程順の構成断面図である。

【図4】(a)及び(b)は本発明の第2の実施形態に係るドライエッチング方法を用いた半導体装置の製造方法を示す工程順の構成断面図である。

【図5】(a)及び(b)は本発明の第2の実施形態の一変形例に係るドライエッチング方法を用いた半導体装置の製造方法を示す工程順の構成断面図である。

【図6】(a)及び(b)は本発明の第2の実施形態の一変形例に係るドライエッチング方法を用いた半導体装置の製造方法を示す工程順の構成断面図である。

【図7】(a)及び(b)は本発明の第3の実施形態に係るドライエッチング方法を用いた半導体装置の製造方法を示す工程順の構成断面図である。

【図8】(a)及び(b)は本発明の第3の実施形態に係るドライエッチング方法を用いた半導体装置の製造方法を示す工程順の構成断面図である。

【図9】(a)及び(b)は本発明の第3の実施形態の一変形例に係るドライエッチング方法を用いた半導体装置の製造方法を示す工程順の構成断面図である。

【図10】(a)及び(b)は本発明の第3の実施形態の一変形例に係るドライエッチング方法を用いた半導体装置の製造方法を示す工程順の構成断面図である。

【図11】従来のシリコン系半導体層に対するドライエッチング方法を用いた場合のゲート酸化膜に対する選択比が小さいときに生じるゲート酸化膜破れを示す模式的断面図である。

【図12】従来のシリコン系半導体層に対するドライエッチング方法を用いた場合のゲート酸化膜に対する選択比大きくしたときに生じるゲート電極のテーパ形状及び寸法シフトを示す模式的断面図である。

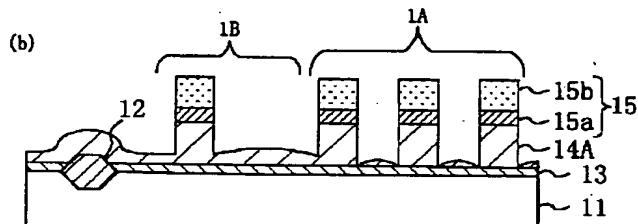
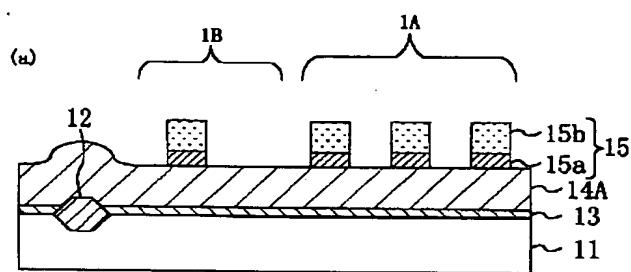
【符号の説明】

1A 密な領域

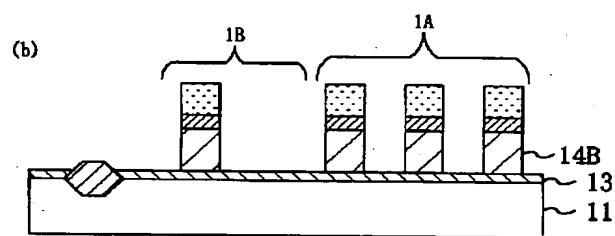
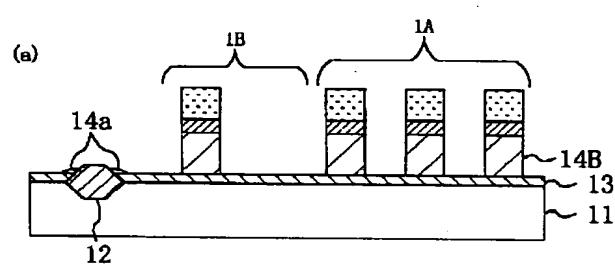
1B 疎な領域

2	p型領域	24B	ゲート電極
3	n型領域	25a	反射防止膜
11	基板	25b	レジスト膜
12	素子分離領域	25	マスクパターン
13	ゲート酸化膜（絶縁膜）	26	マスクパターン（絶縁膜マスク）
14A	半導体層	31	基板
14a	残余部	32	素子分離領域
14B	ゲート電極	33	ゲート酸化膜（絶縁膜）
15a	反射防止膜	34A	半導体層
15b	レジスト膜	34a	残余部
15	マスクパターン	34B	ゲート電極
21	基板	35a	反射防止膜
22	素子分離領域	35b	レジスト膜
23	ゲート酸化膜（絶縁膜）	35	マスクパターン
24A	半導体層	36	マスクパターン（絶縁膜マスク）
24a	残余部		

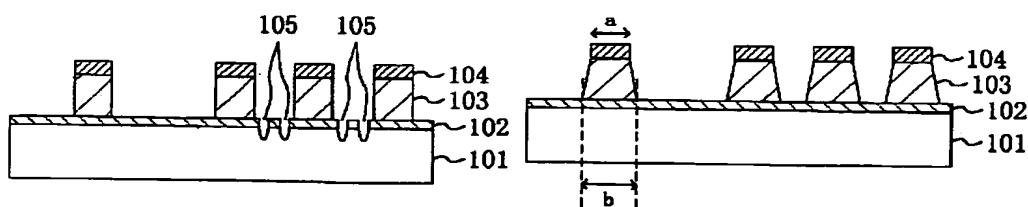
【図1】



【図2】

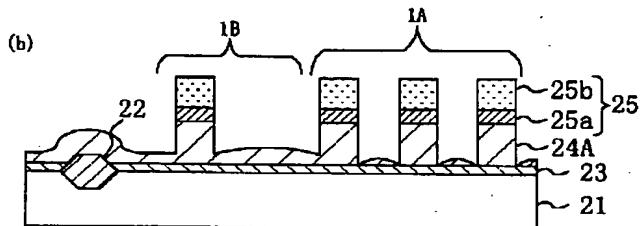
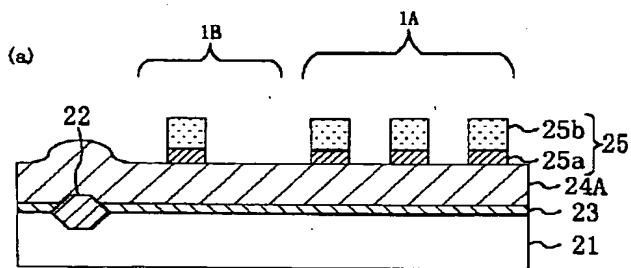


【図11】

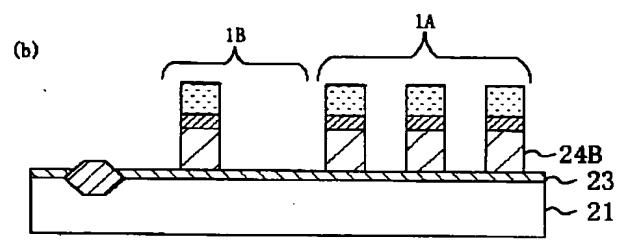
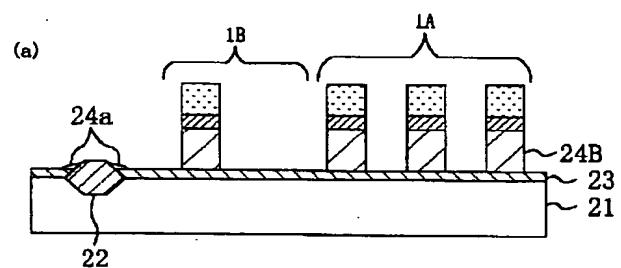


【図12】

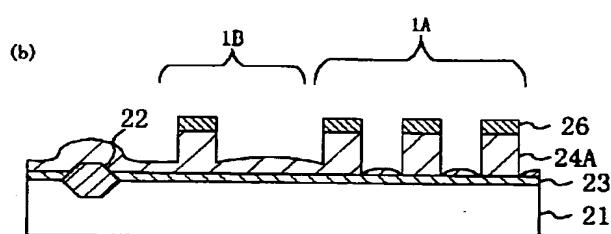
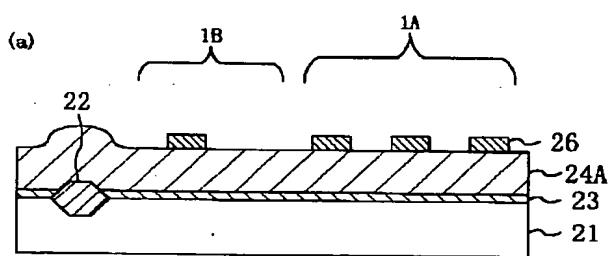
【図3】



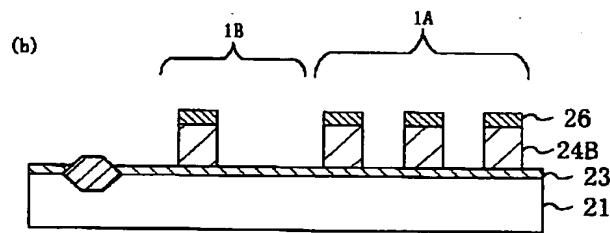
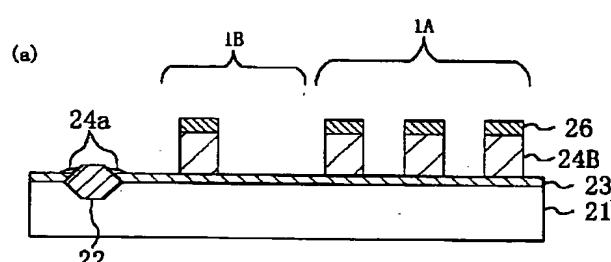
【図4】



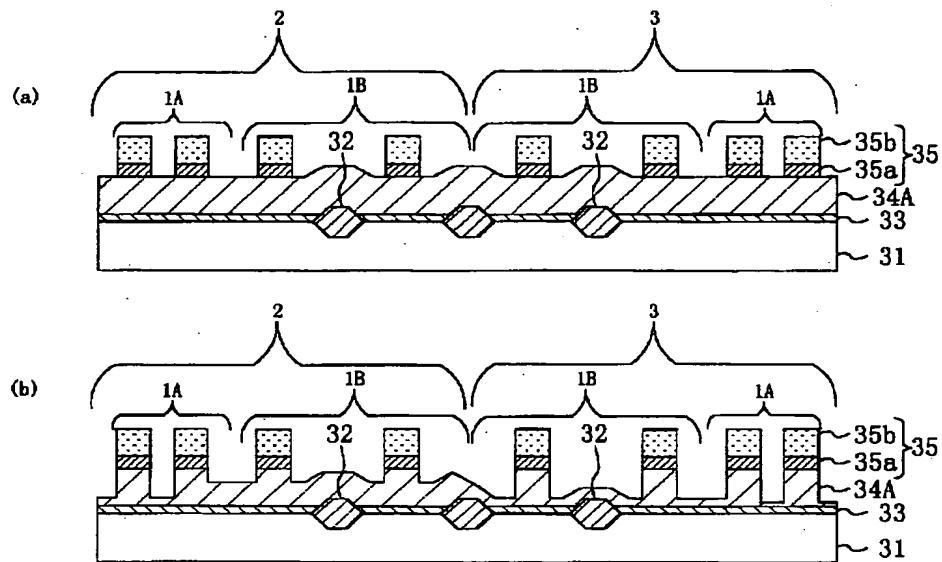
【図5】



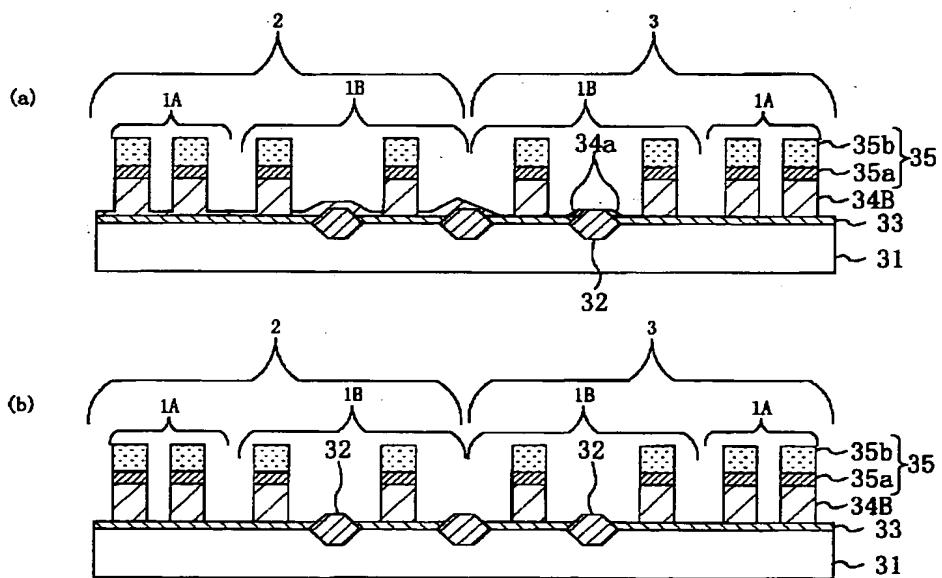
【図6】



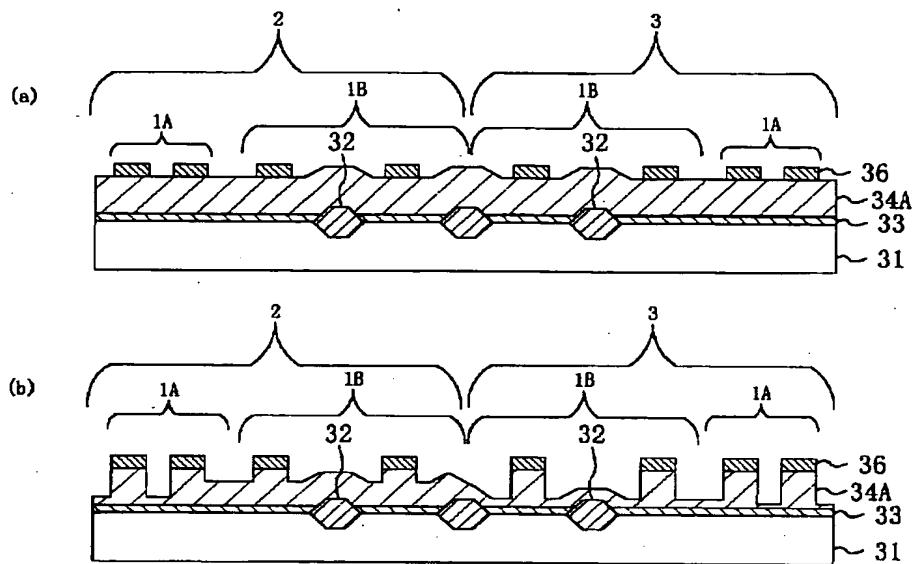
【図7】



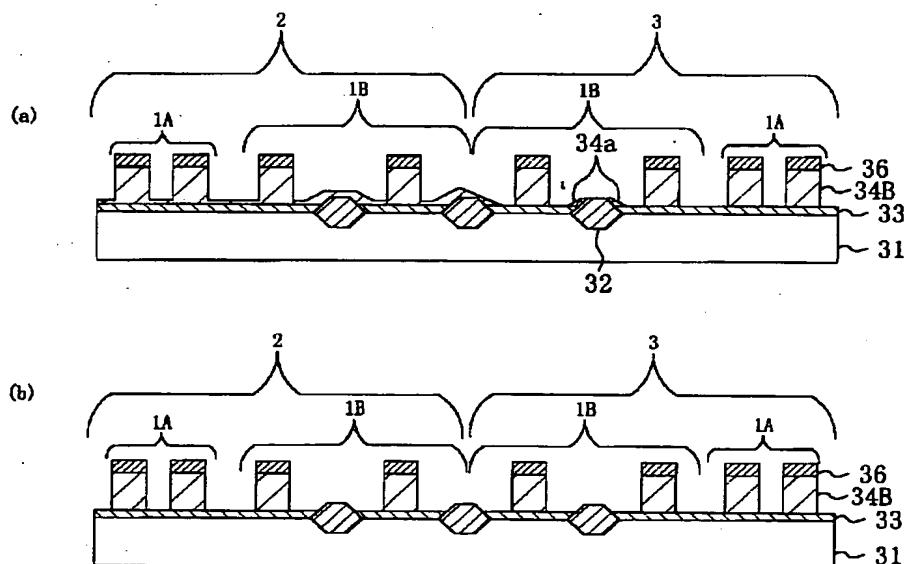
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 久吳 俊介

大阪府高槻市幸町1番1号 松下電子工業
株式会社内F ターム(参考) 5F004 AA01 BA20 BC03 DA00 DA04
DA11 DA22 DA26 DA29 DB03
EA06 EA07